

The partial translation of the above-listed publication:

1. Japanese Unexamined Patent Application Publication No.
7-192500

Abstract:

PURPOSE: To provide the method capable of detecting a wiring short-circuit without executing a data read process in a non-volatile memory, and to provide the circuit therefore.

CONSTITUTION: A switch means 33 for making a bit line BL to be reference potential at the time of a test is provided. Then, the short-circuit is detected by applying voltage from a test pad PAD 1 to the other wiring, a string selection line SSL, for example, and inspecting whether a current path is formed with the bit liner BL. The short-circuit is detected in adjacent wirings which are arranged in parallel, the word lines, for example, by making them float at the time of the test, making them to be reference potential at every other lines, applying voltage to the remaining lines and inspecting whether the current path is formed among the wirings.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-192500

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F.I.	技術表示箇所
G 11 C 29/00	303 G	6866-5L		
G 01 R 31/02				
G 11 C 16/06				
H 01 L 27/10	491	7210-4M	G 11 C 17/00	309 E 審査請求 未請求 請求項の数12 O.L (全8頁)

(21)出願番号 特願平6-283592

(22)出願日 平成6年(1994)11月17日

(31)優先権主張番号 1993 P 24482

(32)優先日 1993年11月17日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 郭 嶽昊

大韓民国ソウル特別市鍾路区花洞80番地

(72)発明者 李 雄茂

大韓民国ソウル特別市東大门区踏十里2洞

40番地72号

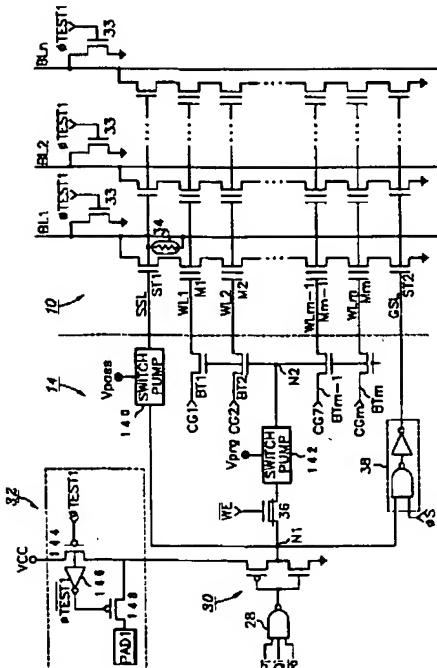
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 不揮発性メモリの配線短絡検出方法及びそのための回路

(57)【要約】

【目的】 不揮発性メモリにおいて、データ読出過程を経ずとも配線の短絡を検出し得る配線短絡検出方法とそのための配線短絡検出回路を提供する。

【構成】 ピット線BLをテスト時に基準電位とするスイッチ手段33を設け、そして、テスト用パッドPAD1からその他の配線、例えばストリング選択線SSLに電圧を印加してピット線BLとの間で電流路が形成されるかどうかを検査することで短絡を検出する。あるいは、互いに隣接して平行に配列される配線、例えばワード線について、テスト時にフローティングさせておいて1本おきに基準電位とすると共に残りに電圧を印加し、配線間で電流路が形成されるかどうかを検査することで短絡を検出する。



【特許請求の範囲】

【請求項1】 不揮発性メモリにおける配線間の短絡を検出するための配線短絡検出方法であって、メモリセルアレイにおいて互いに隣接して平行に配列される配線について、テスト時にフローティングさせておいて1本おきに基準電位とすると共に残りに電圧を印加し、配線間で電流路が形成されるかどうかを検査することで短絡を検出するようにすることを特徴とする配線短絡検出方法。

【請求項2】 不揮発性メモリにおける配線間の短絡を検出するための配線短絡検出方法であって、メモリセルアレイにおける所定の配線をテスト時に基準電位とするスイッチ手段を設け、そして、メモリセルアレイにおけるその他の配線から電圧を印加して基準電位とした配線との間で電流路が形成されるかどうかを検査することで短絡を検出するようにしたことを特徴とする配線短絡検出方法。

【請求項3】 ブロック選択アドレスをデコーディングしてブロック選択信号を出力するブロック選択プリデコーダと、ロードアドレスをデコーディングしてワード線駆動信号を出力するワード線ローデコーダと、ブロック選択信号及びワード線駆動信号を受けてデコーディングするブロックローデコーダにより選択的に活性化され、ワード線を共有するNANDセルストリングを複数有してなるメモリブロックと、を備えた電気的消去可能でプログラム可能なリードオンリメモリにおいて、メモリブロック内に位置した第1の配線及び第2の配線をテスト時にフローティングさせる制御手段と、フローティングされた第1の配線及び第2の配線を対応するテスト用パッドに接続する接続手段と、を有じてなる配線短絡検出回路を備え、テスト用パッド間の電流路形成を検査することで配線間の短絡検出が可能とされていることを特徴とする電気的消去可能でプログラム可能なリードオンリメモリ。

【請求項4】 ブロック選択アドレスをデコーディングしてブロック選択信号を出力するブロック選択プリデコーダと、ロードアドレスをデコーディングしてワード線駆動信号を出力するワード線ローデコーダと、ブロック選択信号及びワード線駆動信号を受けてデコーディングするブロックローデコーダにより選択的に活性化され、ワード線を共有するNANDセルストリングを複数有してなるメモリブロックと、を備えた電気的消去可能でプログラム可能なリードオンリメモリにおいて、メモリブロック内に位置した第1の配線をテスト時にテスト用パッドに接続する接続手段と、メモリブロック内に位置した第2の配線をテスト時に基準電位に放電するスイッチ手段と、を有じてなる配線短絡検出回路を備え、テスト用パッドから第2の配線への電流路形成を検査することで配線間の短絡検出が可能とされていることを特徴とする電気的消去可能でプログラム可能なリード

オンリメモリ。

【請求項5】 第1の配線及び第2の配線が、互いに隣接したワード線である請求項3又は請求項4記載の電気的消去可能でプログラム可能なリードオンリメモリ。

【請求項6】 第1の配線及び第2の配線が、ワード線及びストリング選択線である請求項3又は請求項4記載の電気的消去可能でプログラム可能なリードオンリメモリ。

【請求項7】 第1の配線及び第2配線が、ワード線及び接地選択線である請求項3又は請求項4記載の電気的消去可能でプログラム可能なリードオンリメモリ。

【請求項8】 第1の配線及び第2配線が、ストリング選択線及びビット線である請求項3又は請求項4記載の電気的消去可能でプログラム可能なリードオンリメモリ。

【請求項9】 電気的消去可能でプログラム可能なリードオンリメモリの配線短絡検出方法であって、

第1の配線及び第2の配線をフローティングさせると共に対応するテスト用パッドと電気的通路を形成させ、そして、テスト用パッド間に電流路が形成されるかどうかを判断することで短絡を検出するようにしたことを特徴とする配線短絡検出方法。

【請求項10】 電気的消去可能でプログラム可能なリードオンリメモリの配線短絡検出方法であって、第1の配線に対しテスト用パッドとの電気的通路を形成すると共に第2の配線を基準電位に放電し、そして、テスト用パッドから第2の配線へ電流路が形成されるかどうかを判断することで短絡を検出するようにしたことを特徴とする配線短絡検出方法。

【請求項11】 ブロック選択アドレスをデコーディングしてブロック選択信号を出力するブロック選択プリデコーダと、ロードアドレスをデコーディングしてワード線駆動信号を出力するワード線ローデコーダと、ブロック選択信号及びワード線駆動信号を受けてデコーディングするブロックローデコーダにより選択的に活性化され、ワード線を共有するNANDセルストリングを複数有してなるメモリブロックと、を備えた電気的消去可能でプログラム可能なリードオンリメモリのワード線短絡検出方法であって、

ブロック選択信号によりいずれかのメモリブロックを活性化する第1過程と、ワード線をフローティングさせると共に対応するテスト用パッドと電気的通路を形成させる第2過程と、テスト用パッド間に電流路が形成されるかどうかを判断して短絡を検出する第3過程と、ブロック選択信号を変更して第1過程～第3過程を繰り返す第4過程と、を含むことを特徴とするワード線短絡検出方法。

【請求項12】 ブロック選択アドレスをデコーディングしてブロック選択信号を出力するブロック選択プリデコーダと、ロードアドレスをデコーディングしてワード線

3

駆動信号を出力するワード線ローデコーダと、ブロック選択信号及びワード線駆動信号を受けてデコーディングするブロックローデコーダにより選択的に活性化され、ワード線を共有するNANDセルストリングを複数有してなるメモリブロックと、を備えた電気的消去可能でプログラム可能なリードオンリメモリのワード線短絡検出方法であって、

ブロック選択信号によりいすれかのメモリブロックを活性化する第1過程と、ワード線をフローティングさせておいて、所定のワード線に対しテスト用パッドとの電気的通路を形成すると共に残りのワード線を基準電位に放電する第2過程と、テスト用パッドから基準電位とされたワード線へ電流路が形成されるかどうかを判断して短絡を検出する第3過程と、ブロック選択信号を変更して第1過程～第3過程を繰り返す第4過程と、を含むことを特徴とするワード線短絡検出方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性メモリに関し、特に、その配線間の短絡を検出するための配線短絡検出方法とそのための回路に関する。

【0002】

【従来の技術】近年の高集積化の傾向に伴って、不揮発性メモリにおいても内部の各種回路構成が一層過密化してきている。これに対応するため、例えば電気的消去可能でプログラム可能なリードオンリメモリ(EEPROM)においては、より高集積化に有利なNANDセル構造のものが広く使用され始めている。通常、NANDセル構造を有するEEPROMは、メモリセルアレイが多数のメモリブロックに分けられ、そして各メモリブロックが1つのローデコーダ(ROW DECODER)を共有する構成を有している。この場合、ブロック選択信号によりいすれか1つのメモリブロックを選択して指定の動作を実行するようされる。このようなNANDセル構造のEEPROMについての一例が、1991年4月に発刊されたIEEE JOURNAL OF SOLID STATE CIRCUITS, VOL. 26, NO. 4, 492～495ページに開示されている。以下、このEEPROMを例にして従来技術を説明する。

【0003】一般的なEEPROMは、製造工程で発生し得る不良を救済するための冗長セルアレイをもつてゐる。それによって、不良の発生で正常に動作しないメモリブロックが発生すると、その部分を冗長セルアレイの救済用メモリブロックに置換えて救済する方法が広く使用されている。この場合、前工程を終えたウェーハ状態で動作テストを実施して不良が発生したメモリブロックを探し出すことにより、冗長セルアレイへの置換えを実施する。このような救済方法は集積度が増すほど有用となり、特に、最小配線幅がサブミクロン以下となるEEPROMで、配線間の短絡、例えば、隣接するワード線

10

20

30

40

50

4

間の短絡、ワード線とストリング選択線との短絡、あるいはストリング選択線とビット線との短絡等による不良が占める割合が大きくなるつれて、より有用となつてゐる。

【0004】この不良検出に際して、従来のEEPROMでは配線間の短絡を検査するためでもその特性上、検査対象のメモリブロックに対しますプログラムデータを書き込み、その後データを読んでプログラムしたはずのデータと一致しているかどうか検査して不良発生を判断していた。そのため、検査時間が非常に長くなるという改善点を有している。すなわち、高集積化が進むほど配線間隔が縮小し、例えば隣接するワード線等の配線間の短絡等による不良率が大幅に増加するので、消去～プログラミング～読出の一連の手順を経ずにこのような不良の検出が可能であれば、検査時間を短縮できる。にもかかわらず、従来のEEPROMにはそのための構成が備えられておらず検査時間を短縮できなかつたため、この点の改善が望まれている。また加えて、メモリセルのプログラムを行った後に読み出して検査するので、メモリセルは正常でプログラム過程に問題があった場合でも冗長セルに置換えることになつてしまふという問題点もあつた。

【0005】

【発明が解決しようとする課題】したがつて、本発明の目的は、データ読出過程を経ずとも配線の短絡を検出し得る配線短絡検出方法とそのための配線短絡検出回路を提供することにある。また、本発明の他の目的は、より短い時間で不良検査を行い得る配線短絡検出方法とそのための配線短絡検出回路を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するため、本発明による不揮発性メモリにおける配線間の短絡を検出するための配線短絡検出方法は、メモリセルアレイにおいて互いに隣接して平行に配列される配線について、テスト時にフローティングさせておいて1本おきに基準電位とすると共に残りに電圧を印加し、配線間で電流路が形成されるかどうかを検査することで短絡を検出することを特徴とする。また、メモリセルアレイにおける所定の配線をテスト時に基準電位とするスイッチ手段を設け、そして、メモリセルアレイにおけるその他の配線から電圧を印加して基準電位とした配線との間で電流路が形成されるかどうかを検査することで短絡を検出することを特徴とする。

【0007】そして特に、ブロック選択アドレスをデコーディングしてブロック選択信号を出力するブロック選択ブリデコーダと、ロードアドレスをデコーディングしてワード線駆動信号を出力するワード線ローデコーダと、ブロック選択信号及びワード線駆動信号を受けてデコーディングするブロックローデコーダにより選択的に活性化され、ワード線を共有するNANDセルストリングを

複数有してなるメモリブロックと、を備えた電気的消去可能でプログラム可能なリードオンリーメモリのワード線短絡検出方法について、ブロック選択信号によりいずれかのメモリブロックを活性化する第1過程と、ワード線をフローティングさせると共に対応するテスト用パッドと電気的通路を形成させる第2過程と、テスト用パッド間に電流路が形成されるかどうかを判断して短絡を検出する第3過程と、ブロック選択信号を変更して第1過程～第3過程を繰り返す第4過程と、を含むことを特徴とする。あるいは、ブロック選択信号によりいずれかのメモリブロックを活性化する第1過程と、ワード線をフローティングさせておいて、所定のワード線に対しテスト用パッドとの電気的通路を形成すると共に残りのワード線を基準電位に放電する第2過程と、テスト用パッドから基準電位とされたワード線へ電流路が形成されるかどうかを判断して短絡を検出する第3過程と、ブロック選択信号を変更して第1過程～第3過程を繰り返す第4過程と、を含むことを特徴とする。

【0008】このような短絡検出方法を可能とする配線短絡検出回路については、メモリセルアレイ内に位置した第1の配線及び第2の配線をテスト時にフローティングさせる制御手段と、フローティングされた第1の配線及び第2の配線を対応するテスト用パッドに接続する接続手段と、を有してなる構成とし、テスト用パッド間の電流路形成を検査することで配線間の短絡検出が可能となる。あるいは、メモリセルアレイ内に位置した第1の配線をテスト時にテスト用パッドに接続する接続手段と、メモリセルアレイ内に位置した第2の配線をテスト時に基準電位に放電するスイッチ手段と、を有してなる構成とし、テスト用パッドから第2の配線への電流路形成を検査することで配線間の短絡検出が可能となる。

【0009】

【実施例】以下、添付の図面を参照して本発明の好適な実施例を説明する。

【0010】図1に、本発明を適用し得る不揮発性メモリの代表例として、EEPROMの概略的なブロック図を示している。このEEPROMは、メモリセルが多数形成されたメモリセルアレイ10と、冗長セルが多数形成された冗長セルアレイ12と、を有している。メモリセルアレイ10は、平行に配列されてビット線BL1～BLnにそれぞれ接続され且つ各ワード線を共有するNANDセルストリングからなるメモリブロックを複数備え、そして各メモリブロックは、ブロックローデコーダ14により選択されてワード線に駆動電圧が印加される。冗長セルアレイ12は、メモリセルアレイ10とビット線BL1～BLnを共有し、メモリセルアレイ10内のメモリブロックと同様の冗長メモリブロックを所定数有しており、救済が実施される場合、冗長ブロックローデコーダ16によりいずれかの冗長メモリブロックが活性化されて使用される。冗長に際しては、ブロックロ-

ーデコーダ14が非活性化されてメモリセルアレイ10の不良メモリブロックとの置換が行われる。

【0011】メモリセルアレイ10及び冗長セルアレイ12は、ビット線BL1～BLnを通じて、入出力バッファ20と接続された入出力ゲート・センスアンプ18との間でデータ受渡しを行う。ブロックローデコーダ14及び冗長ブロックローデコーダ16は、ブロック選択プリデコーダ22からブロック選択信号Pi、Qi、Riを受けてメモリブロック、冗長メモリブロックを選択して駆動し、さらにワード線ローデコーダ24からワード線駆動信号CG1～CGmを受けて選択されたメモリブロック、冗長メモリブロック内のワード線を駆動する。

【0012】ブロック選択プリデコーダ22は、ブロック選択アドレス(BLOCK SELECTIONADDRESS)を受けてデコーディングし、メモリブロック選択用のブロック選択信号Pi、Qi、Riを出力する。ワード線ローデコーダ24は、ロードアドレスを受けてデコーディングし、ワード線を駆動するためのワード線駆動信号CG1～CGmを動作モード、すなわち消去モード、プログラムモード、読出モードに応じて該当する電圧レベルで出力する。入出力ゲート・センスアンプ18は、カラムデコーダ・選択回路26により制御され、データを感知増幅すると共にビット線BL1～BLnと入／出力バッファ20との間でデータ伝送路を選択的に駆動する。カラムデコーダ・選択回路26は、カラムアドレス(COLUMN ADDRESS)を受けてデコーディングし、入出力ゲート・センスアンプ18の入出力ゲートを選択駆動する。

【0013】図2は、本発明による配線短絡検出回路を備えたブロックローデコーダ14の構成と、それに対応するメモリセルアレイ10内のメモリブロックの構成を示している。同図に示す回路は、ブロックローデコーダ14及びメモリセルアレイ10における一部を代表的に示したものであり、このような図2に示す回路は、メモリブロック数に対応させて多数配置される。

【0014】まず、同図におけるメモリセルアレイ10の構成を説明する。メモリセルアレイ10を構成するメモリブロックは、ビット線BL1～BLnにそれぞれ接続され、そしてワード線WL1～WLm、ストリング選択線SSL、及び接地選択線GSLに接続されたn個のNANDセルストリングから構成される。各NANDセルストリングは、直列接続されたm個のメモリトランジスタM1～Mmと、ゲート端子がストリング選択線SSLに接続され、ドレイン端子がビット線BL1、ソース端子がメモリトランジスタM1にそれぞれ接続されたストリング選択トランジスタST1(NMOSFET)と、ゲート端子が接地選択線GSLに接続され、ソース端子が接地電圧端、ドレイン端子がメモリトランジスタMmにそれぞれ接続された接地選択トランジスタST2(NMOSFET)と、から構成されている。この例の

メモリトランジスタM₁～M_mは、制御信号を受ける制御ゲートと電荷を蓄積するためのフローティングゲートとで構成されるフラッシュ形メモリセルである。

【0015】ワード線WL₁～WL_mには、対応する伝達トランジスタBT₁～BT_m(NMOSFET)を通じてワード線駆動信号CG₁～CG_mが伝達される。また、ビット線BL₁～BL_nには、配線短絡検出回路を構成するスイッチ手段として、ゲート端子に第1テスト制御信号φTEST₁を受けて制御されるテスト用トランジスタ33(NMOSFET)がそれぞれ接続されている。ストリング選択線SSLとビット線BL₁との間に接続されて示す抵抗成分34は、両線が短絡した場合に有する抵抗成分を表している。

【0016】次にブロックローデコーダ14の構成を説明する。ブロック選択プリデコーダ22から出力されるブロック選択信号P_i、Q_i、R_iは、3入力NANDゲート28に入力されて論理演算された後、CMOSインバータ30に入力される。このCMOSインバータ30は、ブルアップ用トランジスタ(PMOSFET)とブルダウン用トランジスタ(NMOSFET)とからなるCMOSインバータで、そのブルアップ用トランジスタに対し、配線短絡検出回路を構成する接続手段32を通じて電源が印加される。そしてCMOSインバータ30の出力端は、制御ノードN₁に接続されている。

【0017】制御ノードN₁には、ストリング選択線SSLに接続されたスイッチポンプ(SWITCH PUMP)回路140と、デブレッショングループ遮断トランジスタ36のドレイン端子と、接地選択線GSLのエーネーブルを制御する接地選択部38と、が接続される。スイッチポンプ回路140は、プログラムモードでストリング選択線SSLをバス電圧V_{pass}(例えば10V)に昇圧する。接地選択部38は、制御ノードN₁の論理レベルと制御信号φSとの論理積を行う手段である。制御信号φSは、消去モード及びプログラムモードで論理ロウレベル(0V)、読出モードで論理ハイレベル(電源電圧V_{cc})として印加される。遮断トランジスタ36のソース端子はスイッチポンプ回路142に接続され、このスイッチポンプ回路142の出力が伝達トランジスタBT₁～BT_mのゲート端子共通接続ノードである制御ノードN₂に印加される。スイッチポンプ回路142は、消去モードで0V、プログラムモードでプログラム電圧V_{prog}(例えば18V)、読出モードで電源電圧V_{cc}の各電圧を制御ノードN₂に出力する。

【0018】配線短絡検出回路の接続手段32は、電源電圧V_{cc}端とCMOSインバータ30のブルアップ用トランジスタとの間にチャネルが接続され、ゲート端子に第1テスト制御信号φTEST₁を受けて制御される通常電源用トランジスタ144(PMOSFET)と、第1テスト制御信号φTEST₁を反転させるインバータ146と、インバータ146で反転された第1テスト

制御信号バーφTEST₁をゲート端子に受け、CMOSインバータ30のブルアップ用トランジスタとテスト用パッドPAD1との間にチャネルが接続されたテスト電源用トランジスタ148(PMOSFET)と、から構成されている。

【0019】次いで図3に、本発明による配線短絡検出回路を備えたワード線ローデコーダ24の回路例を示している。

【0020】ロウアドレス信号【バーA、バーB、バーC】、【A、バーB、バーC】、【A、B、バーC】、【バーA、B、バーC】、……、【A、B、C】が各デコーディング部41、41、……に入力されてデコードされ、デコーディング部41の各出力は、対応するCMOS伝達ゲート42、44、46、48、……、50及びデブレッショングループ遮断トランジスタ62、64、66、68、……、70を通じてスイッチポンプ回路72、74、76、78、……、80に入力される。そしてスイッチポンプ回路72～80の各出力がワード線駆動信号CG₁～CG_mとしてブロックローデコーダ14に入力される。

【0021】スイッチポンプ回路72～80は、読出モードで選択対象のワード線に0V、選択対象外のワード線に電源電圧V_{cc}の各電圧を供給し、消去モードで各ワード線に0Vの電圧を供給し、そしてプログラムモードで選択対象のワード線にプログラム電圧V_{prog}、選択対象外のワード線にバス電圧V_{pass}の各電圧を供給するように動作する。

【0022】ワード線ローデコーダ24における配線短絡検出回路は、制御手段として設けられテスト時に各ワード線をフローティングとするCMOS伝達ゲート42～50と、各ワード線をテスト用パッドPAD2、PAD3と接続するための接続手段として設けられたパッド接続用トランジスタ52、54、56、58、……、60(NMOSFET)と、から構成される。

【0023】CMOS伝達ゲート42～50は、Pチャネル側ゲート端子が第2テスト制御信号φTEST₂を受けて制御され、そしてNチャネル側ゲート端子がインバータを介して反転された第2テスト制御信号バーφTEST₂を受けて制御されて対応するデコーディング部41の出力をチャネルを通じて伝送する。テスト用パッドPAD2は、対応するパッド接続用トランジスタ52、56、……、60のチャネルを介してCMOS伝達ゲート42、46、……、50の出力側へ接続され、また、テスト用パッドPAD3は、対応するパッド接続用トランジスタ54、58、……のチャネルを通じてCMOS伝達ゲート44、48、……の出力側へ接続される。つまり、テスト用パッドPAD2は奇数番目のワード線WL₁、WL₃、…、WL_{m-1}に対応し、テスト用パッドPAD3は偶数番目のワード線WL₂、WL₄、…、WL_mに対応する。パッド接続用トランジスタ

52～60の各ゲート端子は第2テスト制御信号 $\phi T E S T 2$ を受けて制御される。

【0024】以下、図2及び図3を基に配線短絡検出動作を説明する。

【0025】図2から分かるように、第1テスト制御信号 $\phi T E S T 1$ が論理ロウレベルのときは、接続手段3

2内の通常電源用トランジスタT44がON、テスト電源用トランジスタT48及び各ビット線に接続されたテスト用トランジスタT33、33、……がすべてOFFとなるので、EEPROMの通常の動作が実行される。一方、第1テスト制御信号 $\phi T E S T 1$ が論理ハイレベルで入力されると、通常電源用トランジスタT44がOFFとなると共に、テスト用パッドPAD1に接続されたテスト電源用トランジスタT48及びテスト用トランジスタT33、33、……がすべてONとなるので、CMOSインバータ30のプルアップ用トランジスタのソース端子はテスト用パッドPAD1と接続され、そして、ビット線BL1～BLnはすべて基準電位、すなわち接地電圧Vssとされる。

【0026】この状態でテスト用パッドPAD1に論理ハイレベル、例えば電源電圧Vccを印加すると、CMOSインバータ30は正常な反転作動を遂行することができる。したがって、メモリブロックの選択が可能となってブロック選択信号Pi、Qi、RiによりNANDゲートT28の出力が論理ロウレベルになると、ストリング選択線SSLは、CMOSインバータ30のプルアップ用トランジスタを通じてテスト用パッドPAD1と電流路を形成する。このときに、ビット線BL1～BLnのうちのいずれか1つでもストリング選択線SSLと短絡していると、テスト用パッドPAD1～テスト電源用トランジスタT48～CMOSインバータ30のプルアップ用トランジスタ～ストリング選択線SSL～抵抗成分34～ビット線BL～テスト用トランジスタT33を介する電流路が形成されて、テスト用パッドPAD1から接地側へ電流が流れる。したがって、テスト用パッドPAD1に適当な電圧を印加して電流が流れるかどうかを検査すれば、ストリング選択線SSLとビット線BL1～BLnとの短絡を検出できる。

【0027】尚、図2には、ストリング選択線SSLとビット線BLとの短絡を検出する例を示しているが、同様の構成で、接地選択線GSLとビット線BLとの短絡検出や、ワード線WLどうしの短絡検出へも適用可能であることは容易に理解できよう。ワード線WLどうしの場合には、各ワード線WLをフローティングさせておくようにするといい。

【0028】図3は、メモリセルアレイ内で互いに隣接して平行に配列されたワード線間の短絡を検出する例を示したもので、ワード線WLをフローティングさせる点に特徴がある。すなわち、第2テスト制御信号 $\phi T E S T 2$ が論理ハイレベルとなるときには、各コーディン

グ部41に接続されたCMOS伝達ゲートT42～50がすべてOFFとなり、ワード線WL1～WLmがすべてフローティング状態とされる。そして同時に、パッド接続用トランジスタT52～60がONとなり、奇数番目のワード線WL1、WL3、…、WLm-1はテスト用パッドPAD2に、偶数番目のワード線WL2、WL4、…、WLmはテスト用パッドPAD3にそれぞれ接続される。それにより、テスト用パッドPAD2、PAD3のいずれか一方に適当な電圧、例えば電源電圧Vccを印加し、且つ他方を接地させることで、両パッドを介して電流が流れる場合にはワード線間に短絡が存在して電流路が形成されることを意味し、電流が流れない場合には短絡がなく電流路が形成されていないことを意味するので、ワード線間の短絡を検査することができる。

【0029】尚、図3には、2個のテスト用パッドPAD2、PAD3を使用する例を示しているが、例えば、各ワード線WLごとにそれぞれテスト用パッドを形成して検査するようにもできる。

【0030】これら図2及び図3に示すような配線短絡検出回路を組み合わせて使用すれば、各メモリブロックを順次に活性化させつつ、活性化されたメモリブロック内のワード線間、ワード線とストリング選択線（接地選択線）との間、ストリング選択線（接地選択線）とビット線との各短絡を検出することができる。

【0031】

【発明の効果】以上述べてきたように本発明の配線短絡検出方法とそのための配線短絡検出回路によれば、比較的簡単な構成で装置面積をさほど増加させなくても各配線間の短絡を正確に検出することができる。さらに、検査にあたってメモリセルのプログラム等の手順を踏む必要がないので、テストに要する時間を大幅に短縮できるようになる。

【図面の簡単な説明】

【図1】不揮発性メモリの一例としてEEPROMの構成を説明するブロック図。

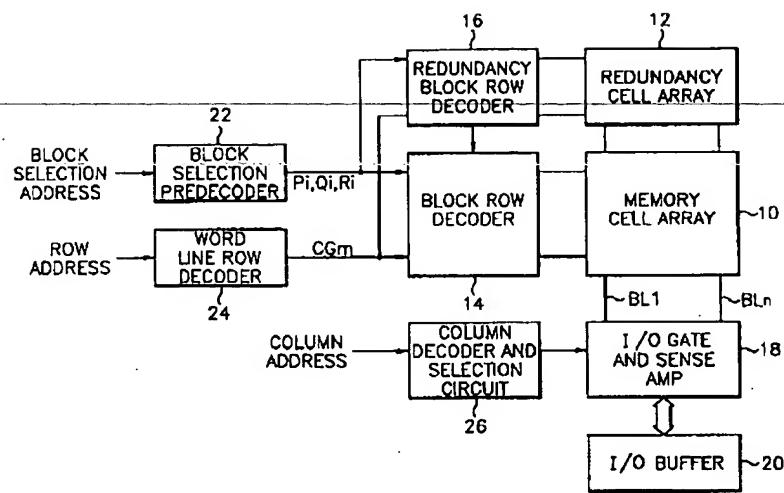
【図2】本発明の実施例による配線短絡検出回路を備えたブロックローデコーダと対応するメモリセルアレイ内のメモリブロックを示す回路図。

【図3】本発明の実施例による配線短絡検出回路を備えたワード線ローデコーダを示す回路図。

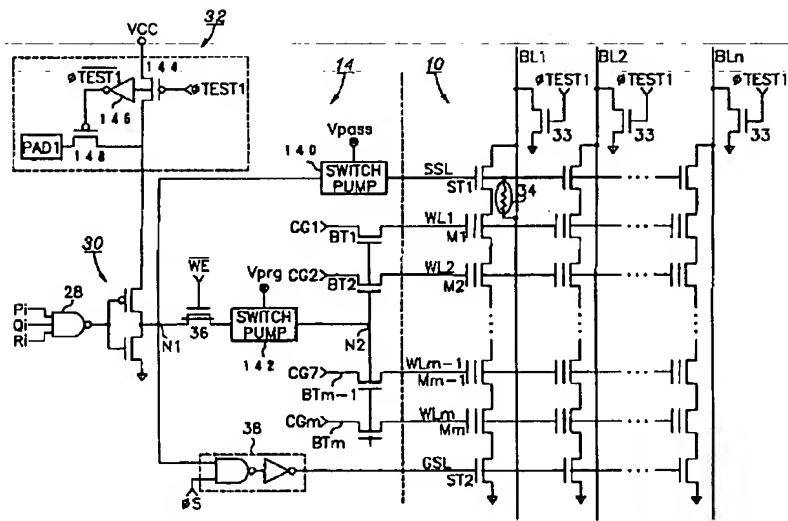
【符号の説明】

- 10 メモリセルアレイ
- 12 冗長セルアレイ
- 14 ブロックローデコーダ
- 16 冗長ブロックローデコーダ
- 24 ワード線ローデコーダ
- 32、52～60 接続手段
- 33 スイッチ手段
- 42～50 制御手段

【図1】



【図2】



【図3】

